

# 縮退故障のテスト生成アルゴリズムを用いたパス遅延故障に対する テスト生成法

大谷 浩平<sup>†</sup>      大竹 哲史<sup>††</sup>      藤原 秀雄<sup>††</sup>

A Test Generation Method for Path Delay Faults Using Stuck-at Fault  
Test Generation Algorithms

Kouhei OHTANI<sup>†</sup>, Satoshi OHTAKE<sup>††</sup>, and Hideo FUJIWARA<sup>††</sup>

あらまし 本論文では、組合せ回路のノンロバストテスト可能なパス遅延故障に対するテスト生成を、縮退故障用のテスト生成アルゴリズムを用いて行う方法を提案する。具体的には与えられた組合せ回路をパスリーフ化変換を用いて部分リーフダグと呼ばれる回路へ擬似的に変換し、部分リーフダグに対して縮退故障用のテスト生成アルゴリズムを用いてテスト生成を行い、得られたテストパターンをもとの組合せ回路の2パターンテストに変換する。本論文では更に、提案手法の正当性を示し、ベンチマーク回路に対する実験結果より有効性を示す。

キーワード パス遅延故障，回路擬似変換，パスリーフ化変換，部分リーフダグ，テスト生成アルゴリズム

## 1. ま え が き

近年の半導体製造技術の進歩により、大規模集積回路 (LSI) の集積度，動作速度が目覚しく向上している。これにより、従来から広く用いられてきている故障モデルである縮退故障に対してテストを行うだけでは、製造された LSI の信頼性を保証することが難しくなっている。そのため、縮退故障に対してテストすることに加えて、回路のタイミングに関する故障モデルである遅延故障に対してテストすることが、製造された LSI の信頼性を保証する上で不可欠となっている。遅延故障のモデルとしては、トランジション故障，ゲート遅延故障，パス遅延故障などが提案されている [1]。その中でもパス遅延故障が最も一般性のある故障モデルとして知られている。

パス遅延故障は論理回路の外部入力 (またはフリップフロップ) から外部出力 (またはフリップフロップ)

までのパス上に蓄積される遅延をモデル化している [2]。パス遅延故障に対するテストでは、回路中のすべてのパス遅延故障に対してテストすることが理想的であるが、一般に回路規模が大きくなるにつれて回路中のパスは指数関数的に増大してしまう。そのため、テストしなければならないパス遅延故障とテストする必要のないパス遅延故障を分類し、テストしなければならないパス遅延故障に対してテストする方法が提案されてきた。テストしなければならないパス遅延故障は、テスト対象のパス遅延故障の活性化条件によって、ロバストテスト可能なパス遅延故障，ノンロバストテスト可能なパス遅延故障，機能的活性化可能なパス遅延故障の三つに分類される [1]。ロバストテスト可能なパス遅延故障は、回路内に対象としているパス遅延故障以外のどんなパス遅延故障が存在していたとしても検出可能なパス遅延故障である。一方、ノンロバストテスト可能なパス遅延故障は、回路内に対象としているパス遅延故障以外にパス遅延故障が存在していなければ検出可能なパス遅延故障である。機能的活性化可能なパス遅延故障は、回路内に対象としているパス遅延故障以外のパス遅延故障が存在して初めて検出可能なパス遅延故障である。

パス遅延故障に対するテストは、回路に2パターンテストを印加して対象のパス上の信号変化が規定時間

<sup>†</sup> 三洋電機株式会社コンポーネント企業グループセミコンダクターカンパニー，岐阜県

SANYO Electric Co., Ltd. Component Group Semiconductor Company, Anpachi-cho, Anpachi-gun, Gifu-ken, 503-0195 Japan

<sup>††</sup> 奈良先端科学技術大学院大学情報科学研究科，生駒市  
Graduate School of Information Science, Nara Institute of Science and Technology, Ikoma-shi, 630-0192 Japan

(クロック期間)までに伝搬するかどうかを観測することによって行われる。したがって、パス遅延故障に対しては2パターンのテストパターンを生成しなければならない。更にパス遅延故障の活性化条件もいくつか存在する。以上のような理由からパス遅延故障に対するテスト生成は1パターンのテストパターンでテスト可能な縮退故障に対するテスト生成よりも複雑である。今までに、10値計算法[3]や、13値計算法[4]を用いてパス遅延故障に対する2パターンテストを生成する方法が提案されている。更に、既存の高性能な縮退故障のテスト生成アルゴリズムを用いてパス遅延故障に対する2パターンテストを生成する方法も提案されている[5],[6]。文献[5]では与えられた組合せ回路を立上り(立下り)平滑回路と呼ばれる回路に変換し、縮退故障に対してテスト生成することによって、ロバストテスト可能なパス遅延故障に対するテストを生成する方法を提案している。しかし、一般に回路内にはロバストテスト不可能なパス遅延故障が多く存在するので、ロバストテスト可能なパス遅延故障のテストだけでは回路の時間的な正確さを保証するには不十分である。文献[6]では与えられた組合せ回路を二段回路に変換し、縮退故障に対してテスト生成することによってノンロバストテスト可能なパス遅延故障に対するテストを生成する方法を提案している。また、文献[6]では二段回路を修正した回路上の縮退故障に対してテスト生成することによって機能的活性化可能なパス遅延故障に対するテストを生成する方法を提案している。

本論文では与えられた組合せ回路をテスト対象パスの集合に関して本研究で提案する部分リーフダグと呼ばれる回路へ変換し、既存の高性能な縮退故障のテスト生成アルゴリズムを用いて部分リーフダグ上の縮退故障に対してテスト生成することによって、もとの組合せ回路のテスト対象パスのうちのノンロバストテスト可能なパス遅延故障に対する2パターンテストを生成する方法を提案する。提案手法により、ノンロバストテスト可能なパス遅延故障に対する2パターンテストを高速に生成することが可能である。文献[5],[6]の手法はどちらも回路全体に対して回路を変換しており、変換後の回路規模は回路内の全パス数に依存する。したがって、回路が大規模になるにつれて回路内のパス数は指数関数的に増大するので回路変換することが困難になってくる。提案手法ではパスの部分集合に対して回路変換するので、テスト対象のパスの集合をいくつかの集合に分けて、その分けた集合ごとに回路変換

することができる。したがって、回路が大規模になったとしても提案手法を適用することができる。更にテスト生成の際に有効な故障シミュレーションについて、パス遅延故障モデルで故障シミュレーションを行うと2パターンに対して故障シミュレーションを行わなければならないのでその効果はあまり期待できない。提案手法を適用した場合には部分リーフダグの縮退故障モデルに対して故障シミュレーションを行うことができるため、1パターンに対して故障シミュレーションできその効果が非常に期待できる。このため、パス遅延故障そのままに対して故障シミュレーションするよりも、提案手法を適用して故障シミュレーションする方がテストパターン数を減少することができる。本論文では、ベンチマーク回路を用いた実験により提案手法の有効性を示す。

## 2. 諸定義

本論文で対象とする回路はAND, NAND, OR, NOR, NOTゲートから構成される組合せ論理回路とする。

### 2.1 パス遅延故障

[定義1](パス遅延故障[2]) 組合せ論理回路  $C$  において、ゲートの順序集合  $P = \{f_0, f_1, \dots, f_n\}$  をパスという。ここで、 $f_0$  は  $C$  の外部入力、 $f_n$  は外部出力、 $f_i (1 \leq i \leq n-1)$  はゲートとする。 $P$  において、 $f_0$  で発生した信号の変化が、所定の時間を超えて  $f_n$  に到達するとき、 $P$  にパス遅延故障が存在するという。 $P$  のパス遅延故障は  $f_n$  における信号変化により2種類に分類でき、 $f_n$  において立上りの信号変化が遅れる場合  $P \uparrow$ 、立下りの信号変化が遅れる場合  $P \downarrow$  と表記する。□

[定義2](テスト可能) 組合せ回路  $C$  において、以下の条件を満たすベクトル対  $\langle v_1, v_2 \rangle$  が存在するとき、 $C$  のパス遅延故障  $P \uparrow (P \downarrow)$  は  $\langle v_1, v_2 \rangle$  でテスト可能であるといい、 $\langle v_1, v_2 \rangle$  を  $P \uparrow (P \downarrow)$  の2パターンテストという。

(1) ベクトル対  $\langle v_1, v_2 \rangle$  はパスの始点(外部入力)に信号の変化を発生させ、その信号の変化をパスの終点(外部出力)まで伝搬することができる。

(2)  $\langle v_1, v_2 \rangle$  を連続して回路に印加した後、決められた時間で外部出力で観測される  $v_2$  の応答が故障のあるときとないときで異なる。□

ここで、ゲート  $f_i$  の出力を、 $f_i$  の他の入力に依存せず一意に決定する  $f_i$  の入力値をゲート  $f_i$

に対する制御値といい、 $cv(f_i)$  と表す。一方、ゲート  $f_i$  の出力を、他の入力に依存せずに一意に決定しない入力値をゲート  $f_i$  に対する非制御値といい、 $ncv(f_i)$  と表す。例えば AND(NAND) ゲートに対しては  $cv(f_i) = 0, ncv(f_i) = 1$ , OR(NOR) ゲートに対しては  $cv(f_i) = 1, ncv(f_i) = 0$  となる。

また、組合せ回路のパス  $P$  につながっているゲート  $f_i$  の入力のうち、 $f_{i-1}$  を  $P$  に沿ったパス上入力といい、 $on(f_i, P)$  と表す。一方、 $f_i$  の入力のうち、 $f_{i-1}$  以外の  $f_i$  の入力を  $P$  に沿ったパス外入力といい、 $off(f_i, P)$  と表す。

文献 [2] では、ロバストパス外入力とノンロバストテストパス外入力をそれぞれ定義しているが、本論文ではロバストパス外入力、ノンロバストパス外入力を区別しないので、ロバストパス外入力の条件を含めてノンロバストパス外入力を定義する。

[定義 3] (ノンロバストパス外入力) 組合せ回路  $C$  のパスを  $P = \{f_0, f_1, \dots, f_n\}$  とし、 $f_{i-1}, g_i$  をそれぞれ  $f_{i-1} \in on(f_i, P), g_i \in off(f_i, P)$  とする。 $C$  に対して  $\langle v_1, v_2 \rangle$  を印加したとき、 $g_i$  に対して  $g_i(v_2) = ncv(f_i)$  が成立するとき、その  $g_i$  をノンロバストパス外入力と呼ぶ。

[定義 4] (ノンロバストテスト可能なパス遅延故障) 組合せ回路のパス遅延故障  $P \uparrow (P \downarrow)$  に対して、2 パターンテスト  $\langle v_1, v_2 \rangle$  が存在し、すべてのパス外入力がノンロバストパス外入力の条件を満たすとき、 $P \uparrow (P \downarrow)$  はノンロバストテスト可能であるといい、 $\langle v_1, v_2 \rangle$  を  $P \uparrow (P \downarrow)$  のノンロバストテストという。

例えば、図 1 の回路において、パス遅延故障  $c246x \uparrow$  は 2 パターンテスト  $\langle 000, 001 \rangle$  を印加したときパス  $c246x$  のすべてのパス外入力はノンロバストパス外入力であるので、 $\langle 000, 001 \rangle$  はノンロバストテストであり、 $c246x \uparrow$  はノンロバストテスト可能なパス遅延故障である。

[定義 5] (完全リーフダグ [7]) 外部入力につながっている配線にだけファンアウトと NOT ゲートがあり、NOT ゲートの出力にはファンアウトがないという回路構造を有する回路を完全リーフダグと呼ぶ。

[定義 6] (部分リーフダグ) 組合せ回路  $C$  のパスの部分パス集合を  $\alpha = \{P_1, P_2, \dots, P_n\}$  とする。各  $P_i \in \alpha$  に対して、 $P_i$  の外部入力につながっている配線にだけファンアウトと NOT ゲートがあり、その NOT ゲートの出力にはファンアウトがないという回

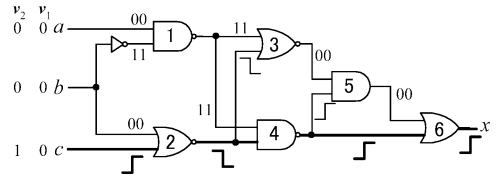


図 1 ノンロバストテスト可能なパス遅延故障  
Fig.1 A non-robust testable path delay fault.

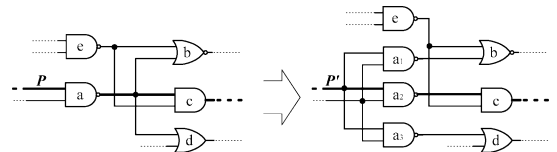


図 2 パスリーフ化変換 (ステップ 1)  
Fig.2 The first step of the path-leaf transformation.

路構造を有する回路をパス集合  $\alpha$  に関する部分リーフダグという。

[定義 7] (パスリーフ化変換) 組合せ回路  $C$  から、 $C$  のパス  $P$  に関する部分リーフダグ  $C_P^l$  への以下の手順による変換をパス  $P$  に関するパスリーフ化変換と呼ぶ。

ステップ 1:  $C$  に対して、 $P$  の外部出力側から外部入力につながった配線に至るまで次の処理を繰り返すことによって  $C_{P'}^l$  を得る。 $P$  上の分岐点をゲートを複製することによって、外部入力側へ移動させる (図 2 参照)。

ステップ 2:  $P$  と 1 対 1 の対応関係にある  $C_{P'}^l$  のパス  $P'$  の外部出力側から外部入力の分岐点に至るまで NOT ゲートを外部入力側へ移動し、パス  $P$  に関する部分完全リーフダグ  $C_P^l$  へ変換する (図 3 参照)。

回路  $C_{P'}^l$  ともとの回路  $C$  は分岐の位置が異なるだけで機能的には等価である。したがって、ベクトル  $v$  を  $C$  に印加したときの内部のゲート  $g_i$  に割り当てられる値と、 $v$  を  $C_{P'}^l$  に印加したときの  $g_i$  に対応する内部のゲート  $g_i'$  に割り当てられる値は同じである。 $v$  を回路  $C_{P'}^l$  に印加したとき、ゲート  $g_i' \in off(f_i', P')$  が  $g_i' = ncv(f_i')$  となっていたとすると、 $v$  を回路  $C_P^l$  に印加したときに、ゲート  $g_i'$  に対応するゲート  $g_i \in off(f_i, P)$  も  $g_i = ncv(f_i)$  となる (図 3 参照)。パス上入力の信号変化についても同様のことがいえず、2 パターンテスト  $\langle v_1, v_2 \rangle$  を  $C$  に印加印加したときにゲート  $f_i$  に  $cv(f_i) \rightarrow ncv(f_i)(ncv(f_i) \rightarrow cv(f_i))$  の信号変化が存在すれば、 $\langle v_1, v_2 \rangle$  を  $C_P^l$  に印加

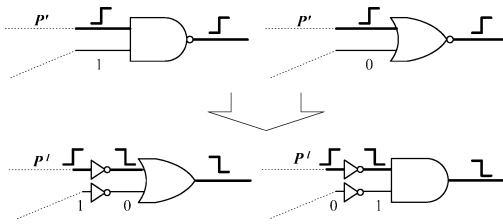


図3 パスリーフ化変換 (ステップ 2)  
Fig.3 The second step of the path-leaf transformation.

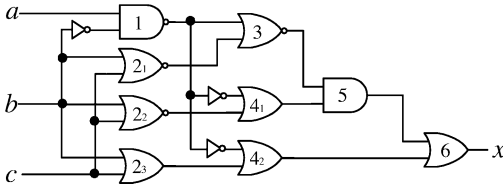


図4  $c_{246x}$  に関する部分リーフダグ  $C_{c_{246x}}^l$   
Fig.4 A partial leaf-dag  $C_{c_{246x}}^l$  with respect to  $c_{246x}$ .

したときに  $f_i$  に対応する  $C_P^l$  のゲート  $f_i^l$  にも  $cv(f_i^l) \rightarrow ncv(f_i^l)$  ( $ncv(f_i^l) \rightarrow cv(f_i^l)$ ) の信号変化が存在する (図 3 参照)。

任意の組合せ回路を部分リーフダグへ変換することが可能である。もとの組合せ回路のパスと部分リーフダグのパスには 1 対 1 の対応関係がある。また、回路中のすべてのパスの集合がテスト対象のパスとして与えられると、部分リーフダグと完全リーフダグは同一のものである。図 1 の回路のパス  $c_{246x}$  に関して定義 7 の変換により部分リーフダグ  $C_{c_{246x}}^l$  へ変換すると、図 4 のようになる。

回路が大規模になりテスト対象のパスも増大すると、そのテスト対象のパスに対して部分リーフダグへ変換することが困難になる場合も考えられる。この場合にはテスト対象のパスを更に部分リーフダグへ変換できるぐらいのいくつかのパスの集合に分け、その分けた集合に対してパスリーフ化変換を行い回路を変換すればよい。

文献 [7] では、以下で定義する特定枝を完全リーフダグについて定義しているが、本論文では部分リーフダグについて特定枝を定義する。

[定義 8] (特定枝) 組合せ回路  $C$  のパスの部分集合を  $\alpha$  とする。 $\alpha$  に関する部分リーフダグにおいて、パス  $P_i \in \alpha$  上に NOT ゲートがあればその NOT ゲートの出力の配線を、NOT ゲートがなければ外部入力に直接つながっている  $P_i$  上のゲートの入力の配線を

$P_i$  の特定枝と呼ぶ。 □

一般的に組合せ回路の 1 本のパスを特定するためには外部入力から外部出力までたどる必要がある。完全リーフダグにおいては、特定枝を一つ特定すると、それを含むパスは一意に決定できる [7]。 $\alpha$  に関する部分リーフダグについても、パス  $P_i \in \alpha$  の特定枝を特定するとそれを含むパス  $P_i$  は一意に決定できる。

### 3. テスト生成

本章では、縮退故障のテスト生成アルゴリズムを用いたノンロバストテスト可能なパス遅延故障に対するテスト生成法を提案する。縮退故障のテスト生成アルゴリズムを用いたノンロバストテスト可能なパス遅延故障に対するテスト生成は次の手順で行う。以下では、組合せ回路  $C$  と  $C$  のパスの部分集合 (テスト生成対象パスの集合)  $\alpha$  が与えられるものとする。パスの部分集合が与えられない場合には、すべてのパスを対象として完全リーフダグへ変換すればよい。

ステップ 1: 組合せ回路  $C$  に対して、各パス  $P \in \alpha$  に関して定義 7 の変換を適用することにより、 $\alpha$  に関する部分リーフダグ  $C_\alpha^l$  へ変換する。

ステップ 2:  $C$  の  $P$  に 1 対 1 の対応関係にある  $C_\alpha^l$  のパス  $P^l$  の特定枝上の 0(1) 縮退故障に対してテスト生成し、テストパターンを求める。

ステップ 3: 得られたテストパターンを  $C$  の 2 パターンテストに変換する。

通常、テスト生成後に故障シミュレーションを行うが、提案手法では特定枝の縮退故障に対してテスト生成した後故障シミュレーションを適用できるので、テストパターン数を大幅に減少することができる。

はじめに、3.1 では  $C$  の  $P$  上のパス遅延故障と  $C_P^l$  の  $P^l$  の特定枝上の縮退故障との対応関係について述べる。次に 3.2 ではノンロバストテスト可能なパス遅延故障に対するテスト生成法について述べる。

#### 3.1 パス遅延故障と縮退故障との対応関係

縮退故障のテスト生成アルゴリズムをパス遅延故障のテスト生成に用いるためにそれらの対応関係について示す。

部分リーフダグの性質より、部分リーフダグ  $C_\alpha^l$  の  $P^l$  の特定枝を決定すると、 $C_\alpha^l$  中のパス  $P^l$  が一意に決定する。 $P^l$  と 1 対 1 の対応関係にあるもとの回路  $C$  のパスが必ず存在することより、 $C_\alpha^l$  の  $P^l$  の特定枝を決定すると  $C$  のパス  $P$  が必ず一意に決定する。2 パターンテスト  $\langle v_1, v_2 \rangle$  を  $C$  へ印加したとき、パ

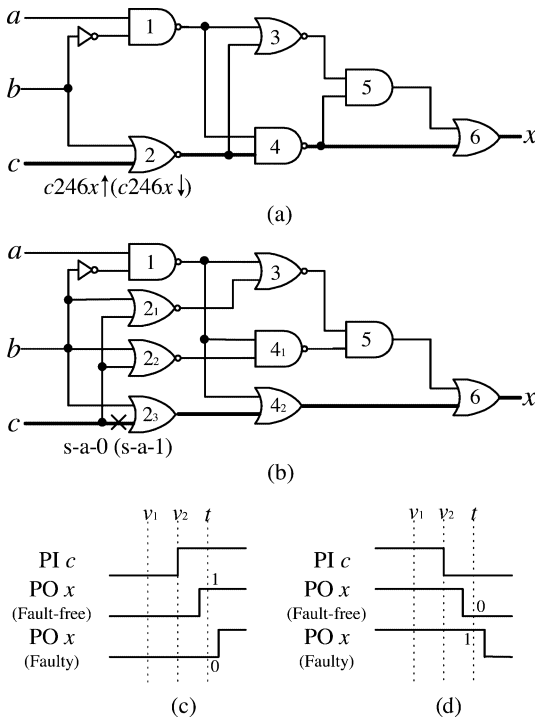


図 5 パス遅延故障と縮退故障の対応関係 ((a) もとの組合せ回路, (b)  $c_{246x}$  に関する部分リーフダグ, (c) 故障  $c_{246x} \uparrow$  の有無による入力変化に対する出力応答, (d) 故障  $c_{246x} \downarrow$  の有無による入力変化に対する出力応答)

Fig. 5 (a) PDF  $c_{246x} \uparrow (c_{246x} \downarrow)$  of a circuit, (b) its corresponding stack-at 0 (resp. stack-at 1) fault in the partial leaf-dag of the circuit of (a) with respect to  $c_{246x}$ , and (c) and (d) are faulty behaviors of  $c_{246x} \uparrow$  and  $c_{246x} \downarrow$ , respectively.

ス  $P$  に図 5(c) のようなパス遅延故障  $P \uparrow$  が存在していると、その観測時間  $t$  での論理値は 0 である。したがって、故障が存在すれば 0、存在しなければ 1 となるので  $P \uparrow$  は  $P$  と 1 対 1 の対応関係にあるパス  $P^l$  の特定枝の 0 縮退故障に対応させる。同様に、パス遅延故障  $P \downarrow$  は  $P^l$  の特定枝の 1 縮退故障に対応させる (図 5(d))。

### 3.2 ノンロバストテスト可能なパス遅延故障に対するテスト生成法

[定理 1] (ノンロバストテスト可能性) 組合せ回路  $C$  のパスの部分集合を  $\alpha$  とし、パス  $P \in \alpha$  の始点を  $i$  とする。 $C$  の  $\alpha$  に関する部分リーフダグを  $C_\alpha^l$  とし、 $C$  の  $P$  に 1 対 1 の対応関係にある  $C_\alpha^l$  のパスを  $P^l$  とする。 $C_\alpha^l$  において、 $P^l$  の特定枝の 0(1) 縮退故障

に対するテストパターン  $v$  が存在し、かつそのときに限り、 $C$  のパス遅延故障  $P \uparrow (P \downarrow)$  に対する単一入力変化のノンロバストテスト  $\langle \tilde{v}, v \rangle$  が存在する。ここで単一入力変化の 2 パターンテスト  $\langle \tilde{v}, v \rangle$  とは、外部入力  $i$  にだけ信号変化があり ( $\tilde{v}_i = \bar{v}_i$ )、その他の外部入力  $j (j \neq i)$  には信号変化がない ( $\tilde{v}_j = v_j$ ) という 2 パターンテストである。

(証明) ここでは、 $P^l$  の特定枝  $b$  の 0 縮退故障に対するテストパターン  $v$  が存在し、かつそのときに限り、 $C$  のパス遅延故障  $P \uparrow$  に対する単一入力変化のノンロバストテスト  $\langle \tilde{v}, v \rangle$  が存在することを示す。 $b$  の 1 縮退故障と  $P \downarrow$  についても同様に示すことができる。

必要性:  $C_\alpha^l$  のパス  $P^l$  の特定枝  $b$  の 0 縮退故障に対してテストパターン  $v$  が存在するのならば、 $C$  のパス遅延故障  $P \uparrow$  に対して  $C$  の入力ベクトル対  $\langle \tilde{v}, v \rangle$  はノンロバストテストであることを示す。 $v$  は  $C_\alpha^l$  において  $b$  の 0 縮退故障に対するテストであるので、 $C_\alpha^l$  に  $v$  を印加したときの  $P^l$  上のゲートのパス外入力はすべて非制御値になる。定義 7 より  $C_P^l$  のパス  $P^l$  上のゲートは、 $C$  のパス  $P$  上のゲートのすべての NOT ゲートを外部入力側へ移動して得られたものなので、 $v$  を  $C_\alpha^l$  に印加したとき  $P^l$  上のゲートのパス外入力が非制御値であるならば、 $v$  を  $C$  に印加したときも  $P$  上のゲートのパス外入力は非制御値になる。したがって、 $v$  をベクトル対の 2 番目のベクトルとして  $C$  へ印加したとき、 $P$  上のゲートのすべてのパス外入力はノンロバストパス外入力の条件 (定義 3) を満たす。 $P$  と  $P^l$  には 1 対 1 の対応関係があるので  $P^l$  の外部入力も  $i$  である。また、 $v$  は  $b$  の 0 縮退故障に対するテストであるので故障を活性化させるために  $v$  を印加したときの論理値は 1 である。したがって、 $\tilde{v}$  をベクトル対の 1 番目のベクトルとして  $C_\alpha^l$  へ印加すると、 $b$  の論理値は 0 となるのでベクトル対  $\langle \tilde{v}, v \rangle$  を  $C_\alpha^l$  へ印加したとき  $b$  には立上りの信号変化が発生する。 $b$  より外部出力側の  $P^l$  には NOT ゲートは存在しないので  $P^l$  の外部出力には立上りの信号変化が伝搬する。定義 7 より  $P^l$  のパス上入力  $f_i^l$  に  $\text{ncv}(f_i^l) \rightarrow \text{cv}(f_i^l) (\text{cv}(f_i^l) \rightarrow \text{ncv}(f_i^l))$  の信号変化が存在すれば、 $P$  の  $f_i^l$  に対応するパス上入力  $f_i$  にも  $\text{ncv}(f_i) \rightarrow \text{cv}(f_i) (\text{cv}(f_i) \rightarrow \text{ncv}(f_i))$  の信号変化が存在する (図 3 参照)。したがって、 $\langle \tilde{v}, v \rangle$  を  $C$  へ印加したとき、 $P$  の外部出力にも立上りの信号変化が伝搬する。 $P$  上のすべてのパス外入力がノンロバストパス外入力であることより  $\langle \tilde{v}, v \rangle$  は  $C$  のパス遅延故

障  $P \uparrow$  に対してノンロバストテストである。

充分性:  $C$  のバス遅延故障  $P \uparrow$  に対してノンロバストテスト  $\langle \tilde{v}, v \rangle$  が存在するのならば,  $v$  は  $C_\alpha^l$  のバス  $P^l$  の特定枝  $b$  の 0 縮退故障に対するテストであることを示す.  $\langle \tilde{v}, v \rangle$  を印加したとき  $P$  の外部出力には立上りの信号変化が伝搬する. 定義 7 より  $P$  のバス上入力  $f_i$  に  $ncv(f_i) \rightarrow cv(f_i)(cv(f_i) \rightarrow ncv(f_i))$  の信号変化が存在すれば,  $P^l$  の  $f_i$  に対応するバス上入力  $f_i^l$  にも  $ncv(f_i^l) \rightarrow cv(f_i^l)(cv(f_i^l) \rightarrow ncv(f_i^l))$  の信号変化が存在するので  $\langle \tilde{v}, v \rangle$  を印加したとき  $P^l$  の外部出力にも立上りの信号変化が伝搬する.  $b$  より外部出力側には NOT ゲートは存在しないので,  $v$  を印加したときの  $b$  の論理値は 1 となり  $b$  の 0 縮退故障を活性化させる. 定義 3 及び定義 4 より  $v$  を印加したときのバス  $P$  のバス外入力はすべて非制御値である. 定義 7 より,  $v$  を印加したとき  $C$  のバス  $P$  のバス外入力が非制御値であるので,  $v$  を印加したとき  $C_\alpha^l$  のバス  $P^l$  のバス外入力もすべて非制御値である. したがって,  $b$  の故障の影響が  $P^l$  の外部出力まで伝搬するので,  $v$  は  $C_\alpha^l$  のバス  $P^l$  の特定枝  $b$  の 0 縮退故障に対するテストである. □

[補題 1] (単一入力変化のノンロバストテスト [6]) バス遅延故障  $P \uparrow (P \downarrow)$  に対する単一入力変化のノンロバスト 2 パターンテスト  $\langle \tilde{v}, v \rangle$  が存在し, かつそのときに限り,  $P \uparrow (P \downarrow)$  は単一テスト可能である.

ここで, バス遅延故障  $P \uparrow (P \downarrow)$  が単一テスト可能であるとは, 回路中にバス遅延故障  $P \uparrow (P \downarrow)$  が単一で存在するときに検出可能であることをいい, 単一テスト可能なバス遅延故障に対しては, ノンロバストテストが存在する [6].

[定理 2] (テスト生成問題帰着性) 組合せ回路  $C$  のバスの部分集合  $\alpha$  のノンロバストテスト生成問題は  $C$  を  $\alpha$  に関してバスリーフ化変換した部分リーフダグ  $C_\alpha^l$  の特定枝の縮退故障のテスト生成問題に帰着できる.

(証明) 補題 1 よりバス遅延故障に対して  $\langle \tilde{v}, v \rangle$  が存在するのならばそのバス遅延故障は必ずノンロバストテスト可能なバス遅延故障である. このことと, 定理 1 より, 組合せ回路  $C$  のノンロバストテスト可能なバス遅延故障のテスト生成問題は  $C$  を  $\alpha$  に関してバスリーフ化変換した部分リーフダグ  $C_\alpha^l$  の特定枝の縮退故障のテスト生成問題に帰着できる. □

#### 4. 実験評価

実験では通常バス遅延故障のテスト生成アルゴリズム (以下, 通常法という) を用いた場合と提案手法を用いた場合に対して, テスト生成時間やテストパターン数を評価する. 実験には ISCAS'85 の c17, c880, ISCAS'89 の s382, s386, s526, s1488, s1494, s838.1 の組合せ回路部分を用い, これらの回路中のノンロバストテスト可能なバス遅延故障に対する 2 パターンテストを, 通常法と提案手法を用いて生成した. 通常法のテスト生成アルゴリズムとしては Synopsys 社の TestGen のバス遅延故障のテスト生成アルゴリズムを用いた. 提案手法では C 言語を用いてプログラムを作成し, これを用いてそれぞれの回路全体を完全リーフダグへ変換し, 変換後の完全リーフダグの特定枝の縮退故障に対して TestGen の縮退故障のテスト生成アルゴリズムを用いてテスト生成することによってそれぞれの回路のノンロバストテスト可能なバス遅延故障に対する 2 パターンテストを生成した. 実験では Sun Ultra 30 ワークステーションを用いた.

テスト生成結果を表 1 に示す. 表 1 のテスト可能な故障数とは, 通常法ではノンロバストテスト可能なバス遅延故障数で, 提案手法ではテスト可能である完全リーフダグ上の特定枝の縮退故障数を示している. s1488, s1494, s838.1, c880 に関しては TestGen が回路内のすべてのバス遅延故障を対象としていないため, 通常法と提案手法で故障数が異なっている.

テスト生成時間については, c880 を除いた回路のすべてにおいて提案手法の方がテスト生成時間が短縮されている (表 1, テスト生成時間参照). c880 に関しては提案手法の方がテスト生成時間を費やしているが, 通常法において TestGen はすべてのバスの 1/4 程度しかテスト生成の対象にしておらず, すべてのバス遅延故障をテスト対象とすると通常法の方が時間を費やすと考えられる.

次に, 通常法におけるバス遅延故障 (バスリスト) 生成時間, 及び, 提案法におけるバス遅延故障を特定枝の縮退故障に代表させる (バスリーフ化変換) 時間について考察する (表 1, 故障リスト生成時間参照). バスリスト生成は時間のかかる問題で, TestGen では 5 千ゲート以上の規模の回路についてはバスリストを生成するのは困難である [8]. 提案手法でもバスリーフ化変換はバス数に依存すると考えられるが, 本実験ではいくつかの回路において, 通常法のバスリスト生成

表 1 実験結果  
Table 1 Experimental results.

回路名		c17	s386	s382	s526	s1488	s1494	s838.1	c880
故障数	通常法	22	414	800	820	1788	1802	2876	4520
	提案手法	22	414	800	820	1924	1952	3428	17284
テスト可能な故障数	通常法	22	414	734	720	1781	1781	2876	4477
	提案手法	22	414	734	720	1916	1927	3428	16652
テストパターン数	通常法	44	744	1398	1396	3508	3508	5752	8864
	提案手法	18	156	184	198	428	410	2288	6902
テスト生成時間 (s)	通常法	0.16	1.47	4.25	4.59	20.77	20.51	63.80	121.12
	提案手法	0.15	0.36	1.39	1.53	1.62	1.70	15.45	238.36
故障リスト生成時間 (s)	パスリスト生成時間	0.04	0.23	0.52	0.53	2.21	2.27	5.07	13.91
	パスリーフ化変換時間	0.39	0.40	0.45	0.46	0.50	0.50	0.51	0.79
ゲート数	通常法	6	159	158	193	653	647	446	352
	提案手法	15	206	494	431	1262	1282	2257	9772

時間よりもパスリーフ化変換時間の方が短いという結果が得られた。テスト対象のパス遅延故障が与えられた場合には、通常法ではパスリストの生成は不要になる。提案手法では、与えられたパス遅延故障に関する部分リーフダグを作ればよいので、パスリーフ化変換時間は更に短くなると考えられる。

また、テストパターン数については、通常法よりも提案手法の方が少ない(表 1, テストパターン数参照)。通常法ではパス遅延故障に対して故障シミュレーションを適用するので 2 パターンで故障シミュレーションしなければならないのに対して、提案手法では特定枝の縮退故障に対して故障シミュレーションを適用するので 1 パターンで故障シミュレーションできる。縮退故障の故障シミュレーションの方がパス遅延故障の故障シミュレーションよりも効果があるため、提案手法を適用した方がテストパターンを減少させることができた。

本実験では、回路全体を完全リーフダグへ変換しているので回路規模が大きくなるにつれ、リーフダグの回路規模も増大している(表 1, ゲート数参照)。これはすべてのパスをテスト対象としているためであり、テスト対象のパスの集合が与えられた場合には、この集合に関する部分リーフダグへ変換すれば変換後の回路規模を縮小することができる。

以上の実験結果から、与えられた回路を完全リーフダグへ変換し、縮退故障のテスト生成アルゴリズムを用いてノンロバストテストを生成する提案手法によりテスト生成時間を短縮でき、更にテストパターン数の削減もできることが確認できた。

## 5. むすび

本論文では、ノンロバストテスト可能なパス遅延故障に対する 2 パターンテストを縮退故障のテスト生成アルゴリズムを用いて生成する方法を提案し、その正当性を示した。また実験により、提案手法によってテスト生成時間、テストパターン数を短縮できることが確認できた。更に回路が大規模になったとしても、テスト対象のパスをいくつかの集合に分けることによって提案手法を適用することが可能である。

今後の課題としては、全体の回路を完全リーフダグへ変換するのはパス数が増大すると困難になるので、部分リーフダグへ変換した場合について実験を行うことや、機能的活性化可能なパス遅延故障に対するテスト生成法を提案することなどが挙げられる。

謝辞 本研究に関し、多くの意見を頂いた井上美智子助教授をはじめとする奈良先端科学技術大学院大学情報科学研究科コンピュータ設計学講座の諸氏に感謝致します。本研究は一部、日本学術振興会科学研究費補助金(奨励研究(A), 課題番号:12780226)及び奈良先端科学技術大学院大学支援財団教育研究活動支援による。

## 文 献

- [1] A. Krstić and K.-T.T. Cheng, Delay Fault Testing for VLSI Circuits, Kluwer Academic Publishers, 1998.
- [2] G.L. Smith, "Model for delay faults based upon paths," Proc. International Test Conference, pp.342-349, Nov. 1985.
- [3] K. Fuchs, F. Fink, and M.H. Schulz, "DYNA-MITE: An efficient automatic test pattern generation system for path delay faults," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.10, no.9, pp.1323-1335, Oct. 1991.

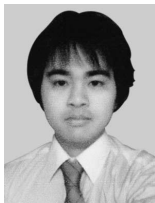
- [4] T.J. Chakraborty, V.D. Agrawal, and M.L. Bushnell, "Delay fault models and test generation for random sequential circuits," Proc. 29th ACM/IEEE Design Automation Conference, pp.165-172, June 1992.
- [5] A. Saldanha, R.K. Brayton, and A.L. Sangiovanni-Vincentelli, "Equivalence of robust delay-fault and single stuck-fault test generation," Proc. IEEE/ACM International Conference on Computer-Aided Design, pp.418-421, 1992.
- [6] M.A. Gharaybeh, M.L. Bushnell, and V.D. Agrawal, "Classification and test generation for path-delay faults using single stuck-at tests," J. Electronic Testing: Theory and Applications, vol.11, no.1 pp.55-67, Aug. 1997.
- [7] W.K.C. Lam and R.K. Brayton, Timed Boolean Functions: A Unified Formalism for Exact Timing Analysis, Kluwer Academic Publishers, 1994.
- [8] TestGen Tools Reference Manual, Version 1999.10-TG4.1, Synopsys, Inc., Oct. 1999.
- [9] S. Ohtake, K. Ohtani, and H. Fujiwara, "A method of test generation for path delay faults using stuck-at fault test generation algorithms," Proc. Design, Automation and Test in Europe, pp.310-315, March 2003.

(平成 16 年 8 月 31 日受付)



藤原 秀雄 (正員:フェロー)

昭 44 阪大・工・電子卒。昭 49 同大大学院博士課程了。同大・工・電子助手、明治大・工・電子通信助教授、情報科学教授を経て、現在奈良先端大・情報科学教授。昭 56 ウォータールー大客員助教授。昭 59 マツギル大客員準教授。論理設計論、フォールトトランス、設計自動化、テスト容易化設計、テスト生成、並列処理、計算複雑度に関する研究に従事。著書「Logic Testing and Design for Testability」(MIT Press)など。大川出版賞、IEEE Computer Society Outstanding Contribution Award、IEEE Computer Society Meritorious Service Award など受賞。情報処理学会フェロー、IEEE Computer Society Golden Core Member、IEEE Fellow。



大谷 浩平

平 12 近畿大・生物理工・電子システム情報工卒。平 14 奈良先端大・情報科学・博士前期課程了。現在、三洋電機(株)コンポーネント企業グループセミコンダクターカンパニー勤務。



大竹 哲史 (正員)

平 7 電通大・電通・情報工卒。平 11 奈良先端大・情報科学・博士後期課程了。現在奈良先端大・情報科学研究科助手。平 10 日本学術振興会特別研究員。VLSI CAD、テスト容易化設計、テスト生成アルゴリズムに関する研究に従事。平 13 本会情報システムソサイエティ論文賞など受賞。IEEE Computer Society、情報処理学会各会員。