

部分スルー可検査性に基づく順序回路のテスト生成法

岡 伸也^{†a)} Chia Yee OOI^{††} 市原 英行[†] 井上 智生[†]
 藤原 秀雄^{†††}

Test Generation for Sequential Circuits with Partial Thru Testability

Nobuya OKA^{†a)}, Chia Yee OOI^{††}, Hideyuki ICHIHARA[†], Tomoo INOUE[†],
 and Hideo FUJIWARA^{†††}

あらまし 無閉路可検査順序回路 [11] は実用的にテスト容易な順序回路であり、その一つのクラスとして完全スルー可検査順序回路 [12] がある。完全スルー可検査性に基づくテスト容易化設計では、完全スキャン設計に比べて小さい面積オーバーヘッドでテスト実行時間の小さいテスト系列を生成できる。本論文では、無閉路可検査性を満たす新たな順序回路のクラスとして、部分スルー可検査順序回路を提案し、部分スルー可検査順序回路に対するテスト生成法、並びに、部分スルー可検査性に基づくテスト容易化設計法を示す。部分スルー可検査性は、完全スルー可検査性のスルー機能に関する十分条件を緩和することで定義され、よって、部分スルー可検査順序回路のクラスは完全スルー可検査順序回路のクラスを真に包含する。実験により、部分スルー可検査性に基づくテスト容易化設計は、完全スルー可検査性に基づくそれに比べて実用的に更なる面積オーバーヘッドの削減が可能だけでなく、テスト実行時間も削減可能であることを示す。

キーワード スルー可検査性、無閉路可検査性、テスト容易化設計、時間展開モデル、組合せテスト生成アルゴリズム

1. ま え が き

組合せ回路に対するテスト生成問題は NP 完全であることが示されているが、実用的には回路規模の多項式オーダで計算可能と考えられている [1], [2]。一方で、順序回路に対するテスト生成問題は実用的な時間で解くことが難しく、多くの場合、回路内のすべてのフリップフロップをスキャンフリップフロップに置き換える完全スキャン設計によって、組合せ回路のテスト生成問題として取り扱われる。しかし、順序回路でありながら、組合せ回路用のテスト生成アルゴリズムを用いてテスト系列を得ることが可能な回路が存在する。無

閉路順序回路は、組合せ回路モデルである時間展開モデルを用いることで、組合せ回路用のテスト生成アルゴリズムを用いてテスト系列を得ることが可能であることが示されている [3], [4]。無閉路順序回路のテスト生成複雑度は組合せ回路と比べて高いが、一般の順序回路と比べると十分に低く、実用的である [5], [6]。更に、無閉路順序回路のうち、文献 [7] ~ [10] で示された平衡構造や切換平衡構造は、組合せ回路と同等のテスト生成複雑度をもつことが知られている。

藤原らは、回路中に閉路をもつ順序回路でありながら、無閉路順序回路と同様にテスト生成が可能となる順序回路のクラスを無閉路可検査性 (acyclical testability) として定義し、無閉路可検査性を満たす順序回路のクラスを提案している [11]。文献 [12] では、回路内の外部入力から外部出力までのスルー機能だけで構成される経路 (スルー木と呼ばれる) に基づいて、無閉路可検査性を満たす順序回路であるための十分条件が示されている。

本論文では、文献 [12] で提案されたクラスを真に包含する、テスト容易な順序回路の新しいクラスを提案し、更に、提案したクラスに対するテスト生成法、及

[†] 広島市立大学大学院情報科学研究科, 広島市
 Graduate School of Information Sciences, Hiroshima City
 University, 3-4-1 Ozuka-higashi, Asaminami-ku, Hiroshima-
 shi, 731-3194 Japan

^{††} マレーシア工科大学, マレーシア
 Faculty of Electrical Engineering, University of Technology
 Malaysia, Malaysia 81310 UTM Skudai Johor Malaysia

^{†††} 奈良先端科学技術大学院大学情報科学研究科, 生駒市
 Graduate School of Information Science Nara Institute,
 Ikoma-shi, 630-0192 Japan

a) E-mail: oka@cd.info.hiroshima-cu.ac.jp

び、テスト容易化設計法も提案する．新しいクラスは、文献 [12] で示されたスルー木に代わって導入する、正当化スルー木と伝搬スルー木に基づくクラスである．ここでは、正当化スルー木と伝搬スルー木の性質と文献 [12] で定義されたスルー木の性質の違いから、本論文で提案するクラスを部分スルー可検査性、文献 [12] で提案されたクラスを完全スルー可検査性と呼ぶ．部分スルー可検査順序回路は、無閉路順序回路や完全スルー可検査順序回路と同様に、時間展開モデルを用いて組合せテスト生成アルゴリズムによりテスト生成が可能である．また、部分スルー可検査順序回路は、完全スルー可検査順序回路のクラスを真に包含する．これは、一般の順序回路に対して、部分スルー可検査性に基づくテスト容易化設計によるハードウェアオーバーヘッドが完全スルー可検査性に基づくそれに比べて小さくなることを意味する．本論文では、部分スルー可検査性に基づくテスト容易化設計として、ハードウェアオーバーヘッド最小を目指したスルー木集合生成のためのヒューリスティックアルゴリズムを示す．実験により、テスト容易化設計による面積オーバーヘッドが削減できるだけでなく、テスト実行時間も削減可能であることを示す．

本論文では、紙面の都合上、一部の定義や証明を省略、若しくは概略のみを示している．詳細は文献 [13] にまとめた．

2. 完全スルー可検査順序回路 [12]

図 1 の順序回路 S_1 について考える．順序回路は、組合せ論理部 (combinational logic block: CLB) とレジスタからなり、それらの接続関係で表される．CLB には、図 2 に示すようなスルー機能を有するものもある．スルー機能には、一つの入力の値をそのまま出力に伝搬する単純スルー (図 2 (a)) と、複数の入力をまとめて一つの出力に伝搬する併合スルー (図 2 (b)) がある．

順序回路 S_1 は完全スルー可検査順序回路であるための十分条件を満たす．十分条件の中に、外部入力から外部出力までをスルー機能のみで構成する経路として定義したスルー木に関する条件がある． S_1 は、回路内に二つのスルー木をもつことでその条件を満たしている．一つは外部入力 PI_2 からスルー機能 t_1, t_7, t_8, t_2 を通る外部出力 PO_1 への経路、もう一つは外部入力 PI_4 からスルー機能 t_3, t_4, t_9, t_5, t_6 を通る外部出力 PO_2 への経路である．図 3 に S_1 にお

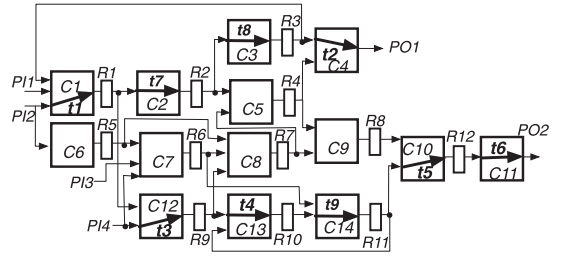


図 1 順序回路 S_1
Fig. 1 Sequential circuit S_1 .

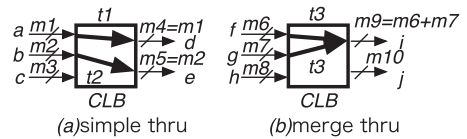


図 2 スルー機能
Fig. 2 Thru function.

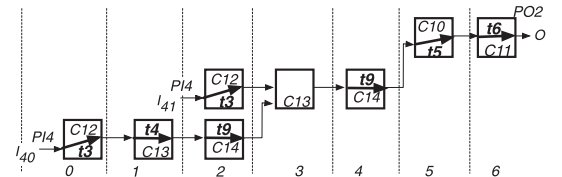


図 3 S_1 の C_{13} のための時間展開モデル
Fig. 3 Time expansion model with respect to C_{13} of S_1 .

る CLB C_{13} のための時間展開モデルを示す．時間展開モデルは、回路内のレジスタへの値のロードやホールドを行う時刻を考慮した、CLB の接続関係を表す組合せ回路モデルである．時間展開モデルは組合せ回路である．下部に示した数は、各 CLB や入出力が、もとの順序回路 S で動作する時刻の相対値を表す．順序回路 S_1 では、上述のスルー木の存在により、回路の閉路上にあるレジスタの値の正当化と伝搬を無閉路順序回路のように行うことができる．そのため、時間展開モデルを用いたテスト生成が可能となる．

3. 部分スルー可検査順序回路

本章では、提案する部分スルー可検査順序回路について説明する．

3.1 回路モデル

順序回路は、次に示す R グラフによって表される．
[定義 1](R グラフ) 順序回路 S を表す R グラフ $G_R = (V, A, w, r, t)$ は以下に示すような有向グラフである．

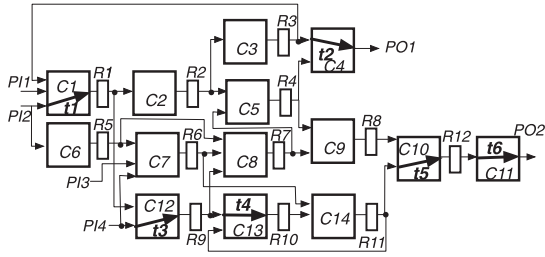


図 4 順序回路 S_2
Fig. 4 Sequential circuit S_2 .

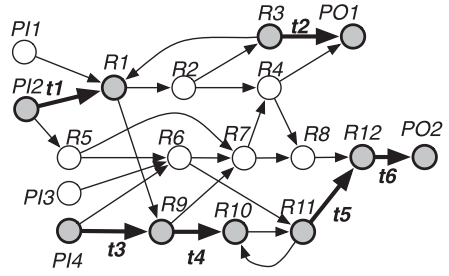


図 5 順序回路 S_2 の R グラフ G_{R_2}
Fig. 5 R-grah G_{R_2} of S_2 .

1. 頂点 $v \in V$ は、レジスタ、外部入力、外部出力のいずれかを表す。レジスタ集合、外部入力集合、外部出力集合をそれぞれ、 V_R, V_I, V_O とすると、 $V = V_R \cup V_I \cup V_O$ である。

2. 辺 $(u, v) \in A$ は、レジスタまたは外部入出力の間の接続を表す。信号線で直接接続されるものと組合せ論理を通るものがある。

3. 外部入出力、またはレジスタ $v \in V$ のビット幅は $w(v)$ ($w: V \rightarrow Z^+$) で表される (Z^+ は正の整数)。

4. 関数 r は $r: V \rightarrow \{h, \phi\}$ であり、レジスタ $v \in V_R$ がホールド機能を有するとき、 $r(v) = h$ とする。また、 v がホールド機能を有しないレジスタ、または外部入出力のときは、 $r(v) = \phi$ とする。

5. 二つのレジスタ(または外部入出力)間 $(u, v) \in A$ にスルー機能 t_i があるとき、 $t(u, v) = t_i$ と示す。スルー機能がない場合は $t(u, v) = \phi$ と示す ($t: V^2 \rightarrow F \cup \{\phi\}$, $F = \{t_1, t_2, \dots, t_m\}$ はスルー機能の集合)。

(例 1) 順序回路 S_2 (図 4) の R グラフ G_{R_2} を図 5 に示す。図 4 の順序回路 S_2 ではレジスタのビット幅及びホールド機能の有無は定義していないため、 G_{R_2} では関数 w と r は示していない。

スルー機能 t_i による値の伝達は、回路中のレジスタの値と外部入力の値に依存する。例えば、あるいくつかのスルー機能 $t_i \in F$ がレジスタ $v_1, v_2 \in V$ の値によって有効となるとき、 t_i は $\{v_1, v_2\}$ によって活性化されるといい、 $\alpha(t_i) = \{v_1, v_2\}$ と表す ($\alpha: F \rightarrow 2^V$)。なお、 $\alpha(t_i) = \phi$ のとき、 t_i は常に活性化されていることを表す。

3.2 部分スルー可検査順序回路

順序回路のテスト生成を考えると、回路内の各レジスタに対する外部入力からの値の正当化と、外部出

力への値の伝搬を行う方法が重要となる。そこで、スルー機能を使った値の正当化と伝搬について考える。外部入力からレジスタへ任意の値を正当化するための正当化スルー木 T^J と、レジスタから外部出力へ任意の値を伝搬するための伝搬スルー木 T^P を以下に示す。
[定義 2] (正当化スルー木, 伝搬スルー木) R グラフを $G_R = (V, A, w, h, t)$ とする。正当化スルー木 $T^J = (V^J, A^J)$, $V^J \subseteq V, A^J \subseteq A$ は、以下の条件を満たす R グラフ G_R の部分グラフである。

1. 任意の葉 $v \in V^J$ は外部入力 (V_{PI}) に対応する。
2. 任意の辺 $(u, v) \in A^J$ はスルー機能を有する ($\forall (u, v) \in A^J, t(u, v) \neq \phi$)。
3. 併合スルーの入力は、すべて T^J に含まれるか、全く含まれないかのいずれかである ($\forall t_i \subseteq F, t^{-1}(t_i) \cap A^J = t^{-1}(t_i) \vee t^{-1}(t_i) \cap A^J = \phi$)。

伝搬スルー木 $T^P = (V^P, A^P)$, $V^P \subseteq V, A^P \subseteq A$ は、以下の条件を満たす R グラフ G_R の部分グラフである。

1. 根 $v \in V^P$ は外部出力 (V_{PO}) に対応する。
2. 任意の辺 $(u, v) \in A^P$ はスルー機能を有する ($\forall (u, v) \in A^P, t(u, v) \neq \phi$)。

(例 2) 図 5 に示した順序回路 S_2 の R グラフ G_{R_2} では、正当化スルー木と伝搬スルー木が二つずつ存在する。正当化スルー木は、 $T_1^J = (V_1^J = \{PI2, R1\}, A_1^J = \{(PI2, R1)\})$ と、 $T_2^J = (V_2^J = \{PI4, R9, R10\}, A_2^J = \{(PI4, R9), (R9, R10)\})$ である。伝搬スルー木は、 $T_1^P = (V_1^P = \{R3, PO1\}, A_1^P = \{(R3, PO1)\})$ と、 $T_2^P = (V_2^P = \{R11, R12, PO2\}, A_2^P = \{(R11, R12), (R12, PO2)\})$ である。

R グラフ中のスルー木 T_i と T_i に含まれるスルー機能を活性化する頂点との関係と、この関係に基づくス

ループ木の関係を示す。

[定義3] (スルー木の依存関係) R グラフ $G_R = (V, A, w, r, t)$ におけるスルー木 $T_i = (V_i, A_i)$ を考える。ここで、スルー木 $T_i = (V_i, A_i)$ について、 T_i に含まれるスルー機能を活性化するレジスタの集合を $D(T_i)$ と表す。すなわち、スルー木の辺集合 A_i に含まれる辺を a_k ($1 \leq k \leq |A_i|$) とすると、 $D(T_i) = \cup_{k=1}^{|A_i|} \alpha(t(a_k))$ である。あるレジスタ、若しくは外部入力 $v \in V$ が、 T_i のいずれかの辺のスルー機能を活性化するとき、すなわち、 $v \in D(T_i)$ のとき、 T_i は v に依存するという。また、二つのスルー木 $T_i, T_j = (V_j, A_j)$ について、 $D(T_i) \cap V_j \neq \phi$ のとき、 T_i は T_j に依存するといひ、 $T_i \prec T_j$ と表す。□

(例3) 図5において、正当化スルー木 T_2^J の辺集合 A_2^J に含まれるスルー機能 t_3 はレジスタ $R1$ によって活性化される、つまり、 $\alpha(t_3) = \{R1\}$ であると仮定する。このとき、 G_{R_2} におけるスルー木同士の依存関係は、 $T_2^J \prec T_1^J$ と表すことができる。□

レジスタの値の正当化においては、上記のようなスルー木の依存関係を考慮すると同時に、特定の回路構造も考慮する必要がある。特定の回路構造とは、一つのレジスタに収れんする二つの経路が、それぞれスルー機能の出力と、そのスルー機能を活性化するレジスタをもつ場合や、始点が同じ場合(分岐再収れん)である。これらの構造は以下のようにまとめられる。

[定義4] (経路の依存性) R グラフにおける二つの経路 $p = (u_1, u_2, \dots, u_{n_p}), q = (v_1, v_2, \dots, v_{n_q})$ を考える。各経路 p, q は、単純路であるか、または、始点と終点を経路 p (または q) の終点 u_{n_p} (または v_{n_q}) とするサイクルをたかだか一つ含む。このとき、以下の条件をすべて満たすならば、経路 p は経路 q に依存するという。

1. p と q の長さが等しい ($n_p = n_q (= n)$) .
2. p と q の終点が同一の頂点である ($u_{n_p} = v_{n_q}$) .
3. p の最初の辺 (u_1, u_2) がスルー機能をもつ ($t(u_1, u_2) \neq \phi$) .
4. 経路 p, q の始点が同一の頂点である ($u_1 = v_1$) , または、 p の最初の辺 (u_1, u_2) が頂点 v_1 によって活性化される ($v_1 \in \alpha(t(u_1, u_2))$) . □

(例4) 図5に示すR グラフにおいて、二つの経路 $p_1 = (PI4, R9, R10, R11, R12), q_1 = (PI4, R6, R7, R8, R12)$ の依存性について考える。経路 p_1, q_1 の経

路長は5で等しく、経路の終点の頂点も $R12$ で同じであり、経路 p_1 の最初の辺 $(PI4, R9)$ は、スルー機能 t_3 をもつ。更に、各経路の始点が同一の頂点 $PI4$ である。これは、条件4の前者の条件を満たす。よって、 p_1 は q_1 に依存するといえる。□

ここまでの定義をもとに、部分スルー可検査順序回路の定義を以下に示す。

[定義5] (部分スルー可検査順序回路) 順序回路 S に対するR グラフ $G_R = (V, A, w, r, t)$ が、以下の条件を満たす正当化スルー木の集合 $T^J = \{T_i^J = (V_i^J, A_i^J), i = 1, 2, \dots, n^J\}$ と伝搬スルー木の集合 $T^P = \{T_i^P = (V_i^P, A_i^P), i = 1, 2, \dots, n^P\}$ をもつとき、順序回路 S は部分スルー可検査順序回路であるという。ここで、 $T = T^J \cup T^P, V_T^J = \cup_{i=1}^{n^J} V_i^J, V_T^P = \cup_{i=1}^{n^P} V_i^P$ とする。

(正当化スルー木と伝搬スルー木が満たすべき条件)

1. 正当化スルー木の集合 T^J は以下の条件を満たす。

- (a) 正当化スルー木は互いに素である。
- (b) 正当化スルー木を構成する頂点の集合 V_T^J はR グラフのフィードバック頂点集合 $FVS^{(注1)}$ を被覆する。

- (c) スルー機能を活性化するために必要なレジスタはホールド機能をもつ ($\forall v \in \alpha(t_i) (\in F), r(v) = h$) .

2. 伝搬スルー木の集合 T^P は以下の条件を満たす。

- (a) 伝搬スルー木は互いに素である。
- (b) 伝搬スルー木を構成する頂点の集合 V_T^P はR グラフのFVSを被覆する。

(スルー木の依存関係に関する条件)

3. スルー木集合 T に含まれる任意のスルー木 $T = (V_T, A_T)$ は以下の条件を満たす。

- (a) スルー木の依存関係 \prec における推移閉包 \prec' を考えたとき、関係 \prec' は自分自身と関係をもたない (すなわち、 $\forall T \in T, T \not\prec' T$) .

- (b) スルー木 T が依存する任意の頂点 v は、正当化スルー木に含まれる頂点であるか、外部入力である (すなわち、 $\forall v \in D(T), v \in (V_T^J - V_T) \cup V_{PI}$) .

- (c) スルー木 T は他の正当化スルー木 T' と同じ頂点に依存しない (すなわち、 $D(T) \cap D(T') = \phi$) .

(依存関係をもつ経路対に関する条件)

4. 以下に示す条件 (a) から条件 (d) を満たす任意の経路対 $p = (u_1, u_2, \dots, u_{n_p}), q = (v_1, v_2, \dots, v_{n_q})$

(注1): FVS: Feedback Vertex Set. 取り除くと閉路がなくなる頂点の集合。

において, p 若しくは q 上に, 条件 (i), (ii) をどちらも満たすような頂点 \hat{u}_k が存在する. なお, 条件 (i), (ii) の経路 $\hat{p} = (\hat{u}_1, \hat{u}_2, \dots, \hat{u}_n)$ は, 経路 p 若しくは q を表す.

(a) 経路 p, q 上に存在する任意の開路は, 基本閉路^(注2)である.

(b) 経路 p は q に依存する.

(c) 経路 p 上の頂点 u_{i_p} ($1 < i_p < n_p$) において, 経路 (u_1, \dots, u_{i_p}) は正当化スルー木に含まれる, かつ, 辺 (u_{i_p}, u_{i_p+1}) は正当化スルー木に含まれない. 経路 p は, 正当化スルー木に含まれる頂点 u_{j_p} から伝搬スルー木に含まれる頂点 u_{k_p} への部分経路 $(u_{j_p}, \dots, u_{k_p})$ ($i_p < j_p \leq k_p < n_p$) を含まない経路である (すなわち, $u_{j_p} \in V_T^J$, かつ, $u_{k_p} \in V_T^P$).

(d) 経路 q は, 正当化スルー木に含まれる頂点 v_{j_q} から伝搬スルー木に含まれる頂点 v_{k_q} への部分経路 $(v_{j_q}, \dots, v_{k_q})$ ($i_q < j_q \leq k_q < n_q$) を含まない (すなわち, $v_{j_q} \in V_T^J$, かつ, $v_{k_q} \in V_T^P$).

(i) 経路 \hat{p} の部分経路 $p' = (\hat{u}_k, \hat{u}_{k+1}, \dots, \hat{u}_n)$ において, 経路の長さ $|p'|$ が, R グラフ上の異なる経路 $p'' = (\hat{u}_k, \dots, \hat{u}_n)$ の経路長 $|p''|$ と比べて等しいか長い.

(ii) 頂点 \hat{u}_k がホールド機能をもつ (すなわち, $r(\hat{u}_k) = h$). □

(例 5) 図 4 に示す順序回路 S_2 と図 5 に示す S_2 の R グラフ G_{R_2} において, 部分スルー可検査性を考える. G_{R_2} では, 頂点 $R1, R2, R3$ のいずれかと, $R10, R11$ のいずれかの頂点を含む頂点集合が FVS となる. G_{R_2} の正当化スルー木を例 2 で示した T_1^J, T_2^J とすると, それらの頂点集合は FVS となる頂点集合 $\{R1, R10\}$ を被覆している. G_{R_2} の伝搬スルー木を例 2 で示した T_1^P, T_2^P とすると, それらの頂点集合は FVS となる頂点集合 $\{R3, R11\}$ を被覆している. G_{R_2} において, 例 4 で示した依存関係をもつ経路対 $p_1 = (PI4, R9, R10, R11, R12)$, $q_1 = (PI4, R6, R7, R8, R12)$ について考える. 経路対 p_1, q_1 は, 定義 4 条件 4 の対象となる経路 p と q に合致する. この経路対において, 頂点 $R8$ がホールドレジスタであることで条件 4 の (i) と (ii) を満たす. よって, $R8$ のホールド機能を用いることで, p_1 が q_1 に依存しても $R12$ に値の正当化を行うことができる (詳細は例 6 に示す). 他の経路対についても同様に考えると, $R2, R4, R6, R8$ がホールドレジスタであればすべての経路対に対して条件を満たす. □

ここで示した部分スルー可検査順序回路と完全スルー可検査順序回路 [12] の関係について考える. 部分スルー可検査順序回路の定義から, 正当化スルー木集合 T^J と伝搬スルー木集合 T^P において $T^J = T^P$ である場合, 完全スルー可検査順序回路であるといえる. よって, 次の定理が成り立つ.

[定理 1] 部分スルー可検査順序回路のクラスは, 完全スルー可検査順序回路のクラスを真に包含する. □

3.3 部分スルー可検査順序回路のテスト生成法

部分スルー可検査順序回路に対するテスト生成は, 完全スルー可検査順序回路と同様に, 時間展開モデルに対して行う. 基本的には, 回路内の一つの CLB に対して一つの時間展開モデルを考える. 部分スルー可検査順序回路 S における CLB C_i のための時間展開モデル $C(G_A(S, C_i))$ は, 対応する時間展開グラフ $G_A(S, C_i) = (V_A, A_A, l, c)$ で表される. ここで, V_A は頂点集合, A_A は辺集合, l は時間展開グラフの頂点集合 V_A から R グラフの頂点集合 V への写像を表す. 写像 c は順序回路 S における回路の動作時刻を表し, 頂点集合 V_A から整数集合 Z への写像である. 時間展開グラフの基本的な定義は, 文献 [3] 等で示されたものと同じであり, S の R グラフ G_R に基づいて作られる.

時間展開モデルに対して入力パターン I_C を与えたときの各外部入力, 信号線の値は, 時間展開グラフの写像 l, c の情報により, S 中の外部入力やレジスタにおける値と対応づけることが可能である. また, 順序回路 S に入力系列 I_S とホールドレジスタ, スルー機能の制御系列 I_H, I_T を与えたときに得られる外部入力やレジスタの値は, 系列 I_H, I_T をもとに得られる時間展開モデルの信号線の値と対応づけることが可能である. そのため, 時間展開モデルに I_C を与えることで得られる出力 O_C は, もとの順序回路 S の I_C に対応する入力系列 I_S から得られる出力系列 O_S に変換可能であり, またその逆も可能である.

順序回路 S における故障と時間展開モデル $C(G_A(S, C_i))$ における故障の対応について考える. S における CLB C_i は, $C(G_A(S, C_i))$ で複数存在する場合がある. そのため, S の CLB C_i における単一故障は, $C(G_A(S, C_i))$ におけるすべての CLB C_i における多重故障に対応する.

(注2): 長さが 1 以上で終点が始点に一致する以外には同じ頂点を 2 度通らない閉路.

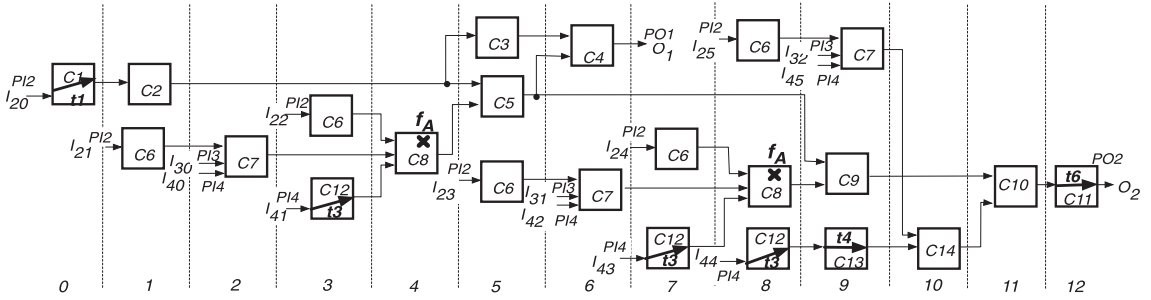


図 6 S_2 における CLB C8 のための時間展開モデル $C(G_A(S_2, C_8))$
 Fig. 6 Time expansion model $C(G_A(S_2, C_8))$ with respect to C_8 of S_2 .

以上のことから，以下の定理を導くことができる．
 [定理 2] 部分スルー可検査順序回路 S の R グラフを $G_R = (V, A, w, r, t)$ ， G_R における CLB C_i に関する時間展開グラフを $G_A(S, C_i) = (V_A, A_A, w, t, l, c)$ ， $G_A(S, C_i)$ に基づく時間展開モデルを $C(G_A(S, C_i))$ とする．回路 S における故障集合を F ， $C(G_A(S, C_i))$ における故障集合を F_A とする．回路 S における CLB C_i に対応する CLB の故障を $f \in F$ ， $C(G_A(S, C_i))$ における CLB C_i に対応する CLB の故障を $f_A \in F_A$ とする．故障 f_A がテスト可能な，時間展開グラフ $G_A(S, C_i)$ に基づいた時間展開モデル $C(G_A(S, C_i))$ が存在するならば，かつそのときに限り，順序回路 S における故障 f はテスト可能である． □

(例 6) 図 4 の順序回路 S_2 の CLB C_8 に故障 f を仮定し，時間展開モデル $C(G_A(S_2, C_8))$ において f に対応する故障 f_A を検出するテスト系列について考える． $C(G_A(S_2, C_8))$ を図 6 に示す．時間展開モデルの下部の数字は時間展開グラフにおける写像 c を表す． I_{20} や O_1 は， $C(G_A(S_2, C_8))$ に対して組合せ回路用のテスト生成アルゴリズムを適用することで得られた，CLB C_8 の故障を検出するためのテストパターンである．図 6 に示すように，レジスタ R_2 (CLB C_2 の出力レジスタ)， R_4 (C_5 の出力レジスタ)， R_6 (C_7 の出力レジスタ)， R_8 (C_9 の出力レジスタ) の値が，数時刻ホールドされる．これにより， S_2 内に依存関係をもつ経路対がある場合にもスルー機能を活性化し，任意の値を正当化可能となる．例えば，例 4，例 5 で示した経路対 p_1 ， q_1 について考える．図 6 において， p_1 は時刻 6 の PI_4 から時刻 10 の CLB C_{10} の出力に対応し， q_1 は時刻 8 の PI_4 から時刻 10 の CLB C_{10} の出力に対応する．定義 5 条件 (i)，(ii) を満たすレジスタ R_8 (CLB C_9 の出力レジスタ) のホールド機

表 1 S_2 における CLB C_8 のための時間展開モデル $C(G_A(S_2, C_8))$ から得られる入出力系列
 Table 1 Input and output sequences for S_2 with $C(G_A(S_2, C_8))$.

系列名	頂点名	時刻								
		0	1	2	3	4	5	6	7	8
I_S	PI_2	I_{20}	I_{21}	X	I_{22}	X	X	X	I_{24}	I_{25}
	PI_3	X	X	I_{30}	X	X	X	X	X	X
	PI_4	X	X	I_{40}	I_{41}	X	X	I_{42}	I_{43}	I_{44}
I_H	R_2	X	L	H	H	H	X	X	X	X
	R_4	X	X	X	X	X	L	H	H	H
	R_6	X	X	L	H	X	X	L	H	X
I_T	t_1	a	X	X	X	X	X	X	X	X
	t_3	X	X	X	a	X	X	X	X	X
O_S	PO_1	X	X	X	X	X	X	O_1	X	X

能によって，経路の始点である PI_4 の値は，異なる時刻 6 と 8 で異なる値 I_{42} と I_{44} を入力可能となる． $C(G_A(S_2, C_8))$ の外部出力 PO_1 への出力パターンを得るために必要となる S_2 に対する入出力系列を表 1 に示す．ここでは，紙面の都合上時刻 9 からの系列は示さない． □

定理 2 より，部分スルー可検査順序回路は，回路内のすべての CLB のための時間展開モデルに対してテスト生成を行うことで，回路内のすべての対象故障に対するテスト系列を得ることが可能である．時間展開モデルの生成は，部分スルー可検査順序回路の R グラフから得られる時間展開グラフを変換することで得られる．時間展開グラフを得ることでホールドレジスタ，スルー機能の制御系列を得ることができる．そのため，対象とする CLB のすべての故障をテスト可能であるような時間展開モデルが生成可能である．

3.4 部分スルー可検査順序回路のテスト生成手続き

上述した一つの CLB のための時間展開モデルを利用した，順序回路 S 全体に対するテスト生成の手続き

について考える．

順序回路 S における CLB の集合を C_S , S の故障集合を F とする．まず, 集合 C_S に含まれるテスト対象 CLB C_i を選択する．故障集合 F に C_i の故障が含まれる場合, 以下の手順を実行する．CLB C_i のための時間展開モデルにおいて, スルー機能を活性化していない CLB C_i の故障リスト $F_C \in F$ を得る．得られた故障リスト F_C をもとに多重故障を対象とする組合せ回路用テスト生成アルゴリズムを適用し, 時間展開モデルに対するテストパターンを得る．得られたテストパターンからもとの順序回路のためのテスト系列を得る．故障リスト F_C と, 得られたテスト系列を使って検出可能となる故障を F から削除する．もし, $F \neq \phi$ であるならば上記の手順を繰り返し実行し, 残りの故障のためのテスト系列を得る．

3.5 テスト容易化設計

与えられた順序回路を部分スルー可検査順序回路へ変換するためのテスト容易化設計法 (DFT 法) について考える．DFT としての回路への追加要素は, CLB におけるスルー機能とレジスタにおけるホールド機能となる．ここでは, ハードウェアオーバーヘッド最小を指向したスルー木集合探索のためのヒューリスティックアルゴリズムを示す．提案するアルゴリズムは R グラフを入力とし, 部分スルー可検査性を満たすために必要となる正当化スルー木集合と伝搬スルー木集合をもつ R グラフを出力とする．アルゴリズムによって得られた R グラフにおけるスルー木集合に対応する CLB にスルー機能を付加する．ここでは正当化スルー木の探索について説明する．以下の操作の繰返しを正当化スルー木を探索するために実行する．

1. ヒューリスティック尺度として, R グラフの各頂点に対してその頂点を正当化スルー木に含むために必要なスルー機能の最小数を計算．

2. R グラフに含まれる辺を一つ以上もつような強連結成分の要素に含まれる頂点集合から, スルー木に含まれる頂点を選択．選択は, 自己ループをもつ頂点, 重みが小さい頂点, 頂点数の多い強連結成分に含まれる頂点という優先順序に従って行う．選択する頂点がなくなったとき, ステップ 5 へ進む．

3. 選択した頂点へ隣接する頂点の中で重みが最も小さい頂点を選択し, その頂点に接続している辺を選択．新たに選択した頂点に対してステップ 3 を繰り返すことで, 外部入力に到達するまで辺の選択と頂点の選択を行い, それを正当化スルー木とする．

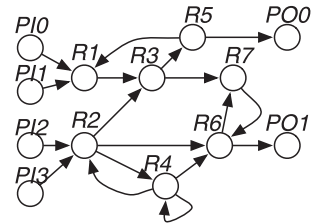


図 7 R グラフ G_{R_3}
Fig. 7 R-graph G_{R_3} .

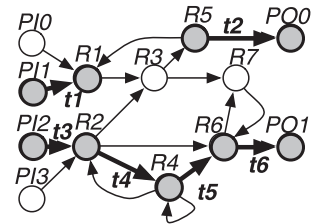


図 8 スルー木探索結果
Fig. 8 DFT result.

4. 生成されたスルー木に関する情報をもとにグラフの情報を更新しステップ 1 へ戻る．

5. ステップ 1 から 4 で得られた回路において, 定義 4 条件 4 の (a) から (d) を満たす経路対を探索し, その経路対において, 定義 4 条件 4 の (i), (ii) を満たす頂点 \hat{u}_k がホールドレジスタでない場合, ホールドレジスタとする．

(例 7) 図 7 に示す R グラフ G_{R_3} に対して上述の DFT アルゴリズムを適用する．このとき, 正当化スルー木の探索後, 伝搬スルー木の探索を実行する．この G_{R_3} のどの辺も, スルー機能をもっていない．図 8 に示すように, 六つのスルー機能を付加することで頂点 $PI1, R1$ と $PI2, R2, R4$ をそれぞれ含む二つの正当化スルー木と頂点 $R5, PO0$ と $R4, R6, PO1$ をそれぞれ含む二つの伝搬スルー木が構成される．このとき, 完全スルー可検査順序回路とするためには, 辺 $(R1, R3)$, $(R3, R5)$ にスルー機能を付加する必要がある．この例において, 依存関係をもつ経路が存在しないため, ホールド機能を付加する必要はない． □

4. 実験結果

部分スルー可検査性の有効性を調べるため, 実験を行った．テスト生成ツールは TetraMAX(synopsys), 論理合成ツールは Design Compiler(synopsys), 計算機は, Dell PowerEdge 2950 (Red Hat Linux v.5,

表 2 実験結果
Table 2 Experimental results.

回路, FF 数, 面積	DFT 法	面積 オーバ ヘッド	テスト パターン 数	故障 検出 効率	テスト 実行時間 (サイクル)	テスト 生成 時間 [s]
ex1 40 2664	org.	—	42	70.55	200	9875.04
	FS	280	56	100.00	2336	0.01
	FT	73	56	100.00	336	0.05
ex2 96 3989	PT	49	58	100.00	348	0.13
	org.	—	61	99.97	238	62.55
	FS	672	41	100.00	4073	0.02
lwf 48 4782	FT	96	56	100.00	280	0.04
	PT	48	48	100.00	288	0.35
	org.	—	18	88.97	210	15267.39
trap 88 4489	FS	336	71	100.00	3527	0.11
	FT	145	82	100.00	492	0.30
	PT	97	71	100.00	426	1.05
diff 96 5727	org.	—	27	96.38	199	3551.20
	FS	616	74	100.00	6674	0.04
	FT	75	90	100.00	720	0.11
diff 96 5727	PT	50	89	100.00	712	0.26
	org.	—	29	98.02	185	1960.27
	FS	672	84	100.00	8244	111.32
diff 96 5727	FT	194	88	100.00	880	136.63
	PT	48	59	100.00	531	798.92

CPU 2.33 GHz Quad, メモリ 4 GByte) を用いた。

実験では、DFT を行っていない (すべての CLB がスルー機能をもっておらず、すべてのレジスタがホールド機能をもつ) 順序回路 (org.), 完全スキャン設計 (FS) を行った順序回路, 完全スルー可検査設計 [12] (FT) を行った順序回路, そして部分スルー可検査設計 (PT) を行った順序回路の四つを面積オーバヘッドとテスト生成の観点から比較した。スルー可検査設計 (FT, PT) は、3.4 で示した方法に基づいて行った。実験回路において、ステップ 5 のホールドレジスタの付加はなかった。表 2 に、実験で用いた回路情報 (FF 数と回路面積) に加えて、三つの設計に対する面積オーバヘッド、テストパターン数、テスト実行時間、テスト生成時間を示す。回路面積は、NOT ゲートの面積を 1 としたときの組合せ論理部だけの面積を表す。完全スキャンにおけるテスト実行時間は、(テストパターン数) × ((FF 数) + 1) + (FF 数) とした。各回路の対象故障は、回路内の各 CLB と外部入出力に対する故障とした。各回路において、org. では順序回路用のテスト生成アルゴリズム、それ以外については組合せ回路用のテスト生成アルゴリズムを適用した。時間展開モデルにおける多重故障は、文献 [14] の手法を用いて単一故障としてテスト生成を行った。テスト生成におけるバクトラックリミットは 10,000,000 回とした。

表 2 において、完全スキャン設計 (FS) と、テスト容易化設計としてスルー機能を用いるスルー可検査設計 (FT, PT) の結果について比較する。FS に比べて、スルー可検査設計では面積オーバヘッドを大きく削減できた。これは、すべてのレジスタをスキャンレジスタに置き換える FS に比べて、スルー可検査設計は回路の必要な部分にのみスルー機能を付加するためである。テスト実行時間について、PT は最大で 1/16 に短縮した (diff)。これは、フルスキャン設計におけるテスト実行で必要となるスキャンシフト操作が、スルー可検査順序回路では必要ないためである。

次に、完全スルー可検査設計 (FT) と部分スルー可検査設計 (PT) を比較する。FT と比べて、PT は面積オーバヘッドが小さくなり、最大で 1/4 となった (diff)。これは、部分スルー可検査順序回路のクラスが完全スルー可検査順序回路のクラスを真に包含するため、必要なテスト容易化設計のオーバヘッドが小さくなることを示すものである。また、ex1 を除く回路において、FT と比べて PT のテストパターン数も小さくなった。これは、PT の時間展開モデルでは、スルー機能を用いないで値の正当化と伝搬を行うことが多くなるため、1 パターン当りの検出故障数が増加したためと考えられる。テスト生成時間は、PT は FT に比べて大きくなった。これは、PT ではスルー機能を利用せずに値の正当化と伝搬を行う場合が増えるため、テストパターンの探索が多少困難になるためである。しかしながら、テスト生成時間が最も大きい場合 (diff) でも org. に比べて半分以下であり、FS, FT と同様に完全故障検出効率を達成していることから、十分実用的であるといえる。

5. む す び

本論文では、組合せ回路用のテスト生成アルゴリズムを用いてテスト系列を生成可能な順序回路のクラスとして部分スルー可検査順序回路を提案し、それに基づくテスト生成法、テスト容易化設計法を提案した。実験により、完全スルー可検査設計に比べてテスト容易化設計における面積オーバヘッドを削減でき、かつ、完全スルー可検査順序回路と同様に完全故障検出効率を得られることを示した。今後の課題として、テスト容易な順序回路のクラスの更なる拡張が挙げられる。具体的には、本論文で提案した部分スルー可検査性の条件の緩和、スルー機能以外の回路の機能に着目した新たなテスト容易性の提案が挙げられる。

謝辞 本研究に関し、多くの貴重な御意見を頂いた本学の吉川祐樹助教、並びに、コンピュータデザイン研究室の諸氏に感謝します。本研究は一部、日本学術振興会科学技術研究費補助金基盤研究(B)(課題番号20300018)、基盤研究(C)(課題番号19500048)の研究助成による。

文 献

[1] H. Fujiwara, Logic Testing and Design for Testability, MIT Press, 1985.

[2] M.R. Prasad, P. Chong, and K. Keutzer, "Why is ATPG easy?," Proc. 36th DAC, pp.22-28, June 1999.

[3] T. Inoue, T. Hosokawa, T. Mihara, and H. Fujiwara, "An optimal time expansion model based on combinational ATPG for RT level circuits," IEEE 7th Asian Test Symposium, pp.190-197, Dec. 1998.

[4] T. Inoue, D.K. Das, C. Sano, T. Mihara, and H. Fujiwara, "Test generation for acyclic sequential circuits with hold registers," Proc. International Conf. on Computer Aided Design, pp.550-556, Nov. 2000.

[5] C.Y. Ooi and H. Fujiwara, "Classification of sequential circuits based on τ^k notation," IEEE Proc. 13th Asian Test Symp., pp.348-353, Nov. 2004.

[6] C.Y. Ooi, T. Clouqueur, and H. Fujiwara, "Classification of sequential circuits based on τ^k notation and its applications," IEICE Trans. Inf. & Syst., vol.E88-D, no.12, pp.2738-2747, Dec. 2005.

[7] R. Gupta and M.A. Breuer, "The BALLAST methodology for structured partial scan design," IEEE Trans. Comput., vol.39, no.4, pp.538-544, April 1990.

[8] A. Balakrishnan and S.T. Chakradhar, "Sequential circuits with combinational test generation complexity," Proc. IEEE International Conference VLSI Design, pp.111-117, Jan. 1996.

[9] H. Fujiwara, "A new class of sequential circuits with combinational test generation complexity," IEEE Trans. Comput., vol.49, no.9, pp.895-905, Sept. 2000.

[10] M. Inoue, C. Jinno, and H. Fujiwara, "An extended class of sequential circuits with combinational test generation complexity," IEEE Proc. International Conference on Computer Design, pp.200-205, Sept. 2002.

[11] H. Fujiwara, H. Iwata, T. Yoneda, and C.Y. Ooi, "A non-scan design-for-testability for register-transfer level circuits to guarantee linear-depth time expansion models," IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst., vol.27, no.9, pp.1535-1544, Sept. 2008.

[12] C.Y. Ooi and H. Fujiwara, "A new class of sequential circuits with acyclic test generation complexity," IEEE Proc. International Conference on Computer Design, pp.425-431, Oct. 2006.

[13] 岡 伸也, C.Y. Ooi, 市原英行, 井上智生, 藤原秀雄, "組

合せテスト生成可能な順序回路の新しいクラスの提案とそれに基づくテスト生成法・テスト容易化設計法について" ; <http://harp.lib.hiroshima-u.ac.jp/handle/harp/3985>

[14] H. Ichihara and T. Inoue, "A method of test generation for acyclic sequential circuits using single stuck-at fault combinational ATPG," IEICE Trans. Fundamentals, vol.E86-A, no.12, pp.3072-3078, Dec. 2003. (平成 21 年 5 月 11 日受付, 7 月 22 日再受付)



岡 伸也 (学生員)

平 16 広島市立大・情報科学・情報機械システム工卒。同大大学院修士課程了。現在、同大大学院情報科学研究科博士後期課程在学中。テスト生成, テスト容易化設計に関する研究に従事。



Chia Yee Ooi

received the B.E. and M.E. degrees in Electrical Engineering from Universiti Teknologi Malaysia, Malaysia in 2001 and 2003, respectively, and the Ph.D. degree in information science from Nara Insitute of Science and Technology, Japan in 2006. She is currently a lecturer in Universiti Teknologi Malaysia, Malaysia. Her research interests include VLSI design and testing. She is a member of the IEEE.



市原 英行 (正員)

平 7 阪大・工・応用物理卒。平 9 同大大学院工学研究科応用物理学専攻博士前期課程了。平 11 年 2 月から 7 月まで米アイオア大学の Research Scholar。平 11 大阪大学大学院工学研究科応用物理学専攻博士後期課程了, 博士(工学)。同年広島市立大学情報科学部情報機械システム工学科助手。平 16 同大助教授。平 19 より准教授。VLSI のテスト及びテスト容易化設計, フォールトトレラントシステムの研究に従事。平 17 本会論文賞及び WRTL 2004 Best Paper Award 受賞。



井上 智生 (正員)

昭 63 明大・工・電子通信卒。平 2 同大大学院博士前期課程了。同年より平 4 まで松下電器産業(株)半導体研究センターにてマイクロプロセッサの開発に従事。明大大学院博士後期課程を経て、平 5 奈良先端大情報科学研究科助手。平 11 広島市立大学情報科学部助教授、平 16 より同大同学部教授。テスト生成、テスト容易化高位合成、再構成可能デバイス、耐故障設計に関する研究に従事。博士(工学)。平 17 WRTLT'04 Best Paper Award 受賞。IEEE、情報処理学会会員。



藤原 秀雄 (正員:フェロー)

昭 44 阪大・工・電子卒。昭 49 同大大学院博士課程了。同大・工・電子助手、明治大・工・電子通信助教授、情報科学教授を経て、現在奈良先端大・情報科学教授。昭 56 ウォータールー大客員助教授。昭 59 マッギル大客員准教授。論理設計論、フォールトトレランス、設計自動化、テスト容易化設計、テスト生成、並列処理、計算複雑度に関する研究に従事。著書「Logic Testing and Design for Testability」(MIT Press)など。大川出版賞、IEEE Computer Society Outstanding Contribution Award、IEEE Computer Society Meritorious Service Award など受賞。情報処理学会フェロー、IEEE Computer Society Golden Core Member、IEEE Fellow。