

話の内容

- ◆ 私の履歴書
- ◆ テスト生成アルゴリズムの歴史
- ◆ 余談(FAN, 非スキャン)
- ◆ ベンチマークの歴史



ベンチマークの歴史

- 1983年 (37歳) FANアルゴリズム FTCS-13@Milano
- 1984年 (38歳) 在外研究 McGill Univ.@Montreal
- 1985年 (39歳) ISCAS'85ベンチマーク ISCAS'85@京都
- 1988年 (42歳) Lunch Meeting ITC'88@Washington D.C.
- 1989年 (43歳) ISCAS'89ベンチマーク ISCAS'89@Portland,Oregon
- 1998年 (52歳) The Last Byte H.Fujiwara@IEEE_Design&Test
- 1999年 (53歳) ITC'99ベンチマーク ITC'99@Atlantic City, NJ
- 2010年 (64歳) The Last Byte R.Aitken@IEEE_Design&Test

ベンチマークの歴史

- 1983年 (37歳) FANアルゴリズム FTCS-13@Milano
- 1984年 (38歳) 在外研究 McGill Univ.@Montreal
- 1985年 (39歳) ISCAS'85ベンチマーク ISCAS'85@京都
ベンチマークのきっかけはFANアルゴリズムの発表
- 1988年 (42歳) Lunch Meeting ITC'88@Washington D.C.
- 1989年 (43歳) ISCAS'89ベンチマーク ISCAS'89@Portland,Oregon
- 1998年 (52歳) The Last Byte H.Fujiwara@IEEE_Design&Test
- 1999年 (53歳) ITC'99ベンチマーク ITC'99@Atlantic City, NJ
- 2010年 (64歳) The Last Byte R.Aitken@IEEE_Design&Test

FTCS-13 13th International Symposium on Fault-Tolerant Computing
June 28-30, 1983 Palazzo Ex-Stelline, Milano, Italy

ON THE ACCELERATION OF TEST GENERATION ALGORITHMS
Hideo Fujiwara and Takeshi Shiono
Department of Electronic Engineering
Osaka University
2-1, Yamada-Oka, Suita
Osaka, 565 JAPAN

...algorithm for test generation to reduce the number of backtracks in the search process. In this paper we consider several techniques to accelerate test generation and present a new algorithm for generating tests called FAN (Fault-tolerant test generation algorithm). FAN is a complete algorithm in that it will generate a test if one exists. Experimental results on large combinational circuits of up to 2000 gates demonstrate that the FAN algorithm is faster than other algorithms. The results presented in this paper are as follows:

- H. Fujiwara, T. Shiono (Osaka Univ.)
- E. Fujiwara (NTT)
- T. Nanya, Y. Thoma (TIT)
- K. Yoshihara, Y. Koga, T. Ishihara (NDA)
- K. Furuya, Y. Akita, Y. Thoma (TIT)

ベンチマークの歴史

- 1983年 (37歳) FANアルゴリズム FTCS-13@Milano
- 1984年 (38歳) 在外研究 McGill Univ.@Montreal
- 1985年 (39歳) ISCAS'85ベンチマーク ISCAS'85@京都
- 1988年 (42歳) McGill大学での在外研究中に、Franc Brglez(当時Bell Northern Research, 現在North Carolina State University教授)に会う。
- 1989年 (43歳) 当時、新しいテスト生成アルゴリズムを提案しても、性能を比較するための標準的なベンチマークがなく、自分たちの回路だけを使って性能を評価するために、他のアルゴリズムとの客観的な性能評価ができなかった。そこで、私とFranc Brglezとで、1985年京都で開催される国際会議ISCAS'85において組合せ回路を対象にテスト生成アルゴリズムのベンチマークの特別セッションを企画した。
- 1998年 (52歳) 在外研究の年(1984年)にMontrealでISCAS'84が開催、翌年(1985年)に京都でISCAS'85が開催予定、ということから特別セッションを提案した。
- 1999年 (53歳)
- 2010年 (64歳) The Last Byte R.Aitken@IEEE_Design&Test

ベンチマークの歴史

- 話はもどって...
- 1983年 (37歳) FANアルゴリズム FTCS-13@Milano
 - 1984年 (38歳) 在外研究 McGill Univ.@Montreal
 - 1985年 (39歳) ISCAS'85ベンチマーク ISCAS'85@京都
 - 1988年 (42歳) 私とFranc Brglezとで、1985年京都で開催された国際会議ISCAS'85において組合せ回路を対象にテスト生成アルゴリズムのベンチマークの特別セッションを企画、日本の企業・大学の協力を得て10個の組合せ回路用ベンチマークを発表し、そのベンチマークを使って、協力いただいた企業・大学の保有するテスト生成アルゴリズムの性能評価を行った。このISCAS'85ベンチマークが起爆剤となりその後々と新しいアイデアに基づく性能のよいテスト生成アルゴリズムが発表され続けられることになる。
 - 1998年 (52歳) The Last Byte H.Fujiwara@IEEE_Design&Test
 - 1999年 (53歳) ITC'99ベンチマーク ITC'99@Atlantic City, NJ
 - 2010年 (64歳) The Last Byte R.Aitken@IEEE_Design&Test

ISCAS'85 1985 International Symposium on Circuits and Systems
June 5-7, 1985 Kyoto Hotel, Kyoto, Japan

Special Session

Recent Algorithms for Gate-Level ATPG with Fault Simulation and Their Performance Assessment

Organizer/Chairman: F. Brglez, Bell Northern Research, Ottawa, ONT, Canada
Co-Organizer/Co-Chairman: H. Fujiwara, Meiji University, Kawasaki, Japan

S6AB. 1: Automatic Test Pattern Generator for Large Combinational Circuits
M. Kawai, K. Oozeki, M. Takahashi, M. Ono, Y. Tshizaka, T. Masui, NEC Corporation, Fuchu, Japan

S6AB. 2: Results from Applications of a Commercial ATPG System to Large-Scale Combinational Circuits
S.C. Rossales, P. Gueli, Gateway Design Automation Corporation, Littleton, MA, USA

S6AB. 3: FAN: A Fanout-Oriented Test Pattern Generation Algorithm
H. Fujiwara, Meiji University, Kawasaki, Japan

S6AB. 4: Test Generation for LSI Circuits Using Extended Nine-Valued Method
M. Murakami, H. Kikuchi, Oki Electric Industry Co. Ltd., FUCHINO, Japan

S6AB. 5: An Efficient Test Generation Method by 10-V Algorithm
Y. Takemoto, Saga University, Saga, Japan, K. Kinoshita, Hiroshima University, Hiroshima, Japan

S6AB. 6: ATPG via Random Pattern Simulation
J.L. Carter, S. Dennis, V.S. Iyenger, B.K. Rnren, IBM Corporation, Yorktown Heights, NY, USA

S6AB. 7: Probabilistically Guided Test Generation
V.D. Agrawal, AT&T Laboratories, Murray Hill, NJ, USA, S.C. Sethi, C.C. Chuang, University of Nebraska, Lincoln, NE, USA

S6AB. 8: Applications of Testability Analysis to ATC
E. Trischler, Siemens AG, Munich, F.R. Germany, M. Schulz, Technical University of München, Munich, F.R. Germany

S6AB. 9: Accelerated ATPG and Fault Grading via Testability Analysis
F. Brglez, P. Pournazeri, R. Ham, Bell Northern Research, Ottawa, ONT, Canada

ISCAS'85 1985 International Symposium on Circuits and Systems
June 5-7, 1985 Kyoto Hotel, Kyoto, Japan

Hideo Fujiwara
Department of Electronics and
Communication
Meiji University
1-1-3 Hasegawa-ya
Kawasaki 214, Jap.

F. Brglez and H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits and a target translator in FORTRAN," Special Session on ATPG and Fault Simulation, Proc. 1985 IEEE Int. Symp. Circuits and Systems, Kyoto, Japan, June 5-7, 1985.

July 3, 1985

Dear Colleague,

Below please find information on how to read the tape containing "ISCAS'85 combinational benchmark circuits". If you are to publish your experience with these circuits, reference this tape in any publications as follows:

F. Brglez and H. Fujiwara, "A neutral netlist of 10 combinational benchmark circuits and a target translator in FORTRAN," Special Session on ATPG and Fault Simulation, Proc. 1985 IEEE Int. Symp. Circuits and Systems, Kyoto, Japan, June 5-7, 1985.

and send a pre-print to us.

Feel free to distribute the tape further, however please send up a note so that we can keep an up-to-date list of all recipients.

The magnetic tape contains a short FORISCAS FORTRAN program and a set of combinational logic descriptions written in an efficient but easily convertible "neutral file format". From the attached documentation of a simple example you will discover that the FORISCAS FORTRAN program translates the neutral file into the format of your choice: PUNISH, TEXAS, OSMA, CADAT, SHADIS etc. Your TEXAS format has, combats, differences, small changes within a subset of FORISCAS FORTRAN will give you what you want. The exception is the CADAT format that will require insertion of more code, but the code will be quite similar to the one supported for the test example.

Very truly yours,
Hideo Fujiwara

Tape density = 1600 BPI
Label processing = no labels
Character format = EBCDIC
Physical block length = 800 bytes
Logical record length = 80 bytes
**> 10 logical records per physical block on tape

File order on tape:
FORISCAS FORTRAN
FORISCAS EXDS
C17 ISCAS
C432 ISCAS
C499 ISCAS
C869 ISCAS
C1365 ISCAS
C1908 ISCAS
C2670 ISCAS
C3540 ISCAS
C5115 ISCAS
C5285 ISCAS
C7502 ISCAS

Tape terminated with 5 write marks

ISCAS85ベンチマークが発表されてから3年後に、順序回路用ベンチマークの必要性が問われた。

ITC'88@WashingtonDCで、下記のメンバーが集まった。
Franc Brglez (MCNC, Microelectronics Center of North Carolina)
Vishwani Agrawal (AT&T Bell Labs)
Balaji Krishnamurthy (Tektronix Labs)
Hideo Fujiwara (Meiji Univ.)

1988年 (42歳) Lunch Meeting ITC'88@Washington D.C.
1989年 (43歳) ISCAS'89ベンチマーク ISCAS'89@Portland, Oregon

1998年 (52歳) The Last Byte H.Fujiwara@IEEE_Design&Test
1999年 (53歳) ITC'99ベンチマーク ITC'99@Atlantic City, NJ
2010年 (64歳) The Last Byte R.Aitken@IEEE_Design&Test

ベンチマークの歴史

1983年 (37歳) FANアルゴリズム FTCS-13@Milano
1984年 (38歳) 在外研究 McGill Univ.@Montreal
1985年 (39歳) ISCAS'85ベンチマーク ISCAS'85@京都

1988年 (42歳) Lunch Meeting ITC'88@Washington D.C.
1989年 (43歳) ISCAS'89ベンチマーク ISCAS'89@Portland, Oregon

再度、国際会議ISCAS'89において順序回路を対象としたテスト生成アルゴリズムのベンチマークの特別セッションを企画した。
ISCAS89ベンチマークである。

今回は、Balaji Krishnamurthy (Tektronix Labs) が中心となつて、Organizer/Chairは、Balajiと私でやることになった。